

LP06 机芯

一、高频组件、TDQ—6BF—FM2W（AV 版图 6）

(1)脚没用

(2) 脚 30V 调谐电压输入→接 AV 版图八的升压电路, DP2. DP7. DP8
CP21. CP22. CP23. CP24. CP25. CP26 1UF 的电路进行倍压。

(3) 脚和 (11) 脚为 5V 供电端 与 +5VA →AV 版图 8 UP1 LM2596—
5.0 相连

(4) 脚接地。

(5) 脚 (6) 脚为制式选择控制端 S0 .S1 与 AV 极图 4 TA8851 的
(28) (29) 脚相连实现制式控制。

(7)脚(8)脚为总线输入与主板图九的 Q7. Q8 集电极 SCL-5 SDL-5
相连, Q7 Q8 的发谢板与通过总线负载电阻 R93 R92 与主板图七
U16 PW113 的 (204) 脚 (205) 脚相连与主板图五的 U19 存储
器的 (5) (6) 脚相连 完成高 ,放中放的处理

(9) 脚输出调频 SIF 伴音中频信号通过 Q10 预放 输出 SIF 信号到
AV 版图 5 U3 的 SP3440 的(67)脚。

(10)脚输出视频电视信号通过 Q6 谢随输出到 AV 图 4 U4 TA8851R (5)
脚

(11) 脚接 +5V VIF

二、音频处理通道

(1) 射频伴音信号 通过 AV 图 6 高频组件(9)脚→Q10→AV 版图 5 U3
的(67)脚在 (2) 脚 (3) 脚 (SCL-5 SDL-5) 总线控制下在内部处理

后由（27）脚（28）脚输出到 AV 板图七 U1 的（1）脚（24）脚输入，由（20）（21）脚输出→AV 板图 2 UA1 TA 2024 功放的（10）脚（14）脚，由（24）脚（27）脚输出 L 声道，（28）脚和（31）脚输出 R 声道（注在 320C6L 中没有 U1 AP8111 故就没有 R9. R 25 的电阻 而增加 R86 R876 伴音信号直接输入功的）。

（2）AV1 输入的音频→EX→AV→AV 板图 4，U4TA8851 的（8）（10）脚→（43）（45）输出→AV 图 5，U3，MSP3440 的（56）（57）由（27）（28）输出到 AV 板图七 U1 的（1）脚（24）脚输入，由（20）（21）脚输出→AV 板图 2 UA1 TA 2024 功放的（10）脚（14）脚，由（24）脚（27）脚输出 L 声道，（28）脚和（31）脚输出 R 声道（注在 320C6L 中没有 U1 AP8111 故就没有 R9. R 25 的电阻 而增加 R86 R8 伴音信号直接输入功放）。

（3）HDTV DVI RL 声道由 AV 板图 4 的 U4 TA8851R 的(49)(51)脚输入，(43)(45) 输出→AV 图 5，U3，MSP3440 的（56）（57）由（27）（28）输出到 AV 板图七 U1 的（1）脚（24）脚输入，由（20）（21）脚输出→AV 板图 2 UA1 TA 2024 功放的（10）脚（14）脚，由（24）脚（27）脚输出 L 声道，（28）脚和（31）脚输出 R 声道（注在 320C6L 中没有 U1 AP8111 故就没有 R9. R 25 的电阻 而增加 R86 R8 伴音信号直接输入功放）。

（4）隔行分量的 R L 声道由 AV 板图 4 的 U4TA8851R (52)(54)脚输入，（43）（45）输出→AV 图 5，U3，MSP3440 的（56）（57）由（27）（28）输出到 AV 板图七 U1 的（1）脚（24）脚输入，由（20）（21）脚输

出→AV 板图 2 UA1 TA 2024 功放的（10）脚（14）脚，由（24）脚（27）脚输出 L 声道，（28）脚和（31）脚输出 R 声道（注在 320C6L 中没有 U1 AP8111 故就没有 R9. R 25 的电阻 而增加 R86 R8 伴音信号直接输入功放）。

（5）VGA 的 R L 声道由 AV 板图 4 的 U4TA8851 的（1）（3）脚输入（43）（45）→输出输出→AV 图 5, U3, MSP3440 的（56）（57）由（27）（28）输出到 AV 板图七 U1 的（1）脚（24）脚输入，由（20）（21）脚输出→AV 板图 2 UA1 TA 2024 功放的（10）脚（14）脚，由（24）脚（27）脚输出 L 声道，（28）脚和（31）脚输出 R 声道（注在 320C6L 中没有 U1 AP8111 故就没有 R9. R 25 的电阻 而增加 R86 R8 伴音信号直接输入功放）。

注：LV3 IN L3IN R3IN Y3IN C3IN 未用，即 TA8851 的（29）-（23）脚未用。

三、 图像通道 CVBS

高频头（10）脚输出的视频信号这 Q6 射随→AV 板图 4 U4 TA8851 的（5）脚由（44）脚输出→Q3 射随→主板图 4 U1 VP3230 的（73）脚，由内部编码由（31）脚-（40）脚输出 8 位的数据信号到（主板图 8 的 U3 PW1235 的 1-9 脚），由 VP3230 的（27）脚输出 V INCK，（55）脚输出 VINHS，（57）脚输出 VINVS 到主板图 8 的 U3 PW1235 的（13）脚 VINCK，（11）脚的 VINHS，（12）脚的 VINVS，由 PW1235 的（110）脚到（142）输出 24bt 的数据数信号 DDR0→7 DDG0→7 DDB0→7 DDCK DDHS DDVS，由（102），（103），（104），（108）脚输出时钟和

行场同步信号到主板图 5: U10, U12 经过 Q3 切换, 到主板图 7, U16.PW113 的 (2) → (27) 脚, (31) → (35) 脚, 由 PW113 的 (76) → (110) 脚, 输出上屏信号。

四、S 端子信号、通道

由 AV 板图 4 TA8851 的 (9) 脚和 (11) 脚输入由 (42) 脚 (44) 脚输出经过 Q3、Q4 射道送到主板图 4VP3230 的 (73) (72) (71) 由 VPC3230 (31) 脚 → (40) 脚输出 8 位的数据信号到 (主板图 8 的 U3 PW1235 的 1→9 脚), 由 VP3230 的 (27) 脚输出 V INCK, (55) 脚输出 VINHS, (57) 脚输出 VINVS 到主板图 8 的 U3 PW1235 的 (13) 脚 VINCK, (11) 脚的 VINHS, (12) 脚的 VINVS, 由 PW1235 的 (110) 脚到 (142) 输出 24bt 的数据数信号 DDR0→7 DDG0→7 DDB0→7 DDCK DDHS DDVS, 由 (102), (103), (104), (108) 脚输出时钟和行场同步信号到主板图 5: U10, U12 经过 Q3 切换, 到主板图 7, U16.PW113 的 (2) → (27) 脚, (31) → (35) 脚, 由 PW113 的 (76) → (110) 脚, 输出上屏信号。

五、隔行分量通道

隔行 YUV 分量由主板图 4, VP3230R (4) (5) (6) 脚输入, 经 VP3230 编码由 VPC3230 (31) 脚 → (40) 脚输出 8 位的数据信号到 (主板图 8 的 U3 PW1235 的 1→9 脚), 由 VP3230 的 (27) 脚输出 V INCK, (55) 脚输出 VINHS, (57) 脚输出 VINVS 到主板图 8 的 U3 PW1235 的 (13) 脚 VINCK, (11) 脚的 VINHS, (12) 脚的 VINVS, 由 PW1235 的 (110) 脚到 (142) 输出 24bt 的数据数信号 DDR0→7 DDG0→7

DDB0→7 DDCK DDHS DDVS, 由 (102), (103), (104), (108) 脚输出时钟和行场同步信号到主板图 5: U10, U12 经过 Q3 切换, 到主板图 7, U16.PW113 的 (2) → (27) 脚, (31) → (35) 脚, 由 PW113 的 (76) → (110) 脚, 输出上屏信号。

六、VGA 信号通道、HDTV 的 YUV 通道

①当 VGA 和 HDTV 信号为 60HZ 时, 通过主板图 6, U5 P15V330 切换。由 U5 P15V330 的 (4) (7) (9) 脚输出, 经过 U6 AD9883A 的 (48) (49) (54) 输入编码, 由 70→77 脚输出 8 位的 GR 信号, 2→9 脚输出 8 位 GG 信号, 12→19 输出 8 位的 GB 信号, (64→67 脚输出的 GCLK CFBK GHSA GVS 通过 U13 的切换), 到主板图 3 U14、U15 由 U14、U15 直通输出 GPR GPG GPB GPEM GPVS GPSOG GPFBK GPLK 到主板图 7 U16, 2→35 脚, 在由 76→110 脚上屏。

②当 VGA 和 DVI 信号为 75HE 时, 通过主板图 6, U5 P15V330 切换, 由 U5 P15V330 的 (4) (7) (9) 脚输出, 经过 U6 AD9883A 的 (48) (49) (54) 输入, 编码由 70-77 脚输出 8 位的 GR 信号, 2-9 脚输出的 8 位 GG 信号, 12-19 输出的 8 位 GB 信号, 由于 PW113 (48) 脚的控制使 U14、U15 关闭, GR、GG、GB 不能通过 U14、U15 输出, 所以 GR、GG、GB 送入了主板图 8 U3 PW1235 的 67-100 脚, 通过内部变频为 60HZ 在由 PW1235 的 102-142 脚输出到主板图 5 的 U10、U12, 这时, U10、U12 受 PW113 (48) 的控制, 内部通道, GPR GPG GPB 送入主板图 7 U13 PW113 的 2-35 脚, 由 PW113 的 76-110 脚上屏。

七、DVI 信号通道

①当 DVI 信号为 60HZ 时, 通过主板图 3 U11 Si I I 161B 的 10-37 脚

输出的 GR、GG、GB，由于 PW113（48）的控制，主板图 3 U14、U15 由 U14、U15 直通输出 GPR GPG GPB GPEM GPVS GPSOG GPFBK GPLK 到主板图 7 U16，2→35 脚，在由 76→110 脚上屏。

②当 DVI 信号为 75HZ 时，通过主板图 3 U11 Si I I 161B 的 10-37 脚输出的 GR、GG、GB 信号由于 PW113（48）脚的控制使 U14、U15 关闭，GR、GG、GB 不能通过 U14、U15 输出，所以 GR、GG、GB 送入了主板图 8 U3 PW1235 的 67-100 脚，通过内部变频为 60HZ 在由 PW1235 的 102-142 脚输出到主板图 5 的 U10、U12，这时，U10、U12 受 PW113（48）的控制，内部通道，GPR GPG GPB 送入主板图 7 U13 PW113 的 2-35 脚，由 PW113 的 76-110 脚上屏。

八、电源控制

①STB→PW113（54）脚到主板图 1:J15⑦（standby）→AV 板图 8:JP1

⑦STB→Q7 控制 UP6、UP7、UP8（见 AV 板图 8）

②液晶屏电源控制（LCDON）

PW113（39）主板图 9:→Q4→U21

③背光源控制（BKLON）

PW113（40）到主板图 9:→Q9→J13A J13 的 1 脚→上道变器

九、FLASH ROM 接口

PW113 的（164）（173-184）（187-192）（A1-A19）与 UK29LV800BT 的（1-8）（16-25）（48）相连

PW113 的（148-163）脚（D0-D15）与 U1729LV800BT 的（29-36）（38-45）相连。

