

BT4301/BT5090 背投电路介绍与故障维修

康佳第一代背投产品是 BT5001，近期投产的是第二代产品 BT4301 和 BT5090，这两款机与 BT5001 相比，最突出的区别是改场扫描频率 50HZ，为帧扫描频率 50HZ 且改隔行扫描为逐行扫描。图像的清晰度、稳定度均大大提高了。

下面就 BT4301 对其电路及工作原理作些必要分析与论述，并对维修中的 15 个典型故障作些讨论。内容包括：

- | | |
|---------------|---------------------------------|
| 一、BT4301 电路组成 | 二、CPU 与 I ² C 总线控制关系 |
| 三、前端信号处理与流程 | 四、画质增强处理帧频 50HZ 逐行扫描 |
| 五、后端信号处理 | 六、行/场扫描 |
| 七、数字会聚与输出电路 | 八、开关稳压电源 |
| 九、维修参考资料 | 十、故障 15 例 |

一、 BT4301 电路组成

(1) 电原理图与结构示意图，BT4301 机的电原理图共 10 页

其中 (1/9) 为主板电路，包括 N303 (CPU)、N304 (存储器)、N301 (倍频后) 视频扫描显示处理器，N302 (同步处理器)，N305 (音频功放) 和天线分配器，以及许多排插连接器。其中的 XS101、XS102 与中频板的 XP101、XP102 相连接；XSM01、XSM02 与倍频板的 XPM01、XPM02 相连接；XSV01、XSV02 与 AV/TV 切换板的 XPV01、XPV02 相连接；XS202、XS203 与声音处理板的 XP202、XP203 相连接；XS410A/XS411A/XS412A/XS413A/XS414A/XS415A 与扫描板的 XS410B/XS411B/XS412B/XS413B/XS414B/XS415B 相连接。(2/9) 是中频板，包括主/子高频头；N101 主画面中频处理与子画面的视频处理器，主画面中频处理后从 13 脚输出，子画面的视频信号从 20 脚输入；N102 (子画面视频信号的 Y/C 分离)；N103 (子画面的中频处理包括 FM 的解调)；N104 (主伴音的 FM 解调或 NICAM 的解调与解码)；(2/9) 上还有 R、G、B 三个投影管的 CRT 电路。(3/9) 是 AV/TV/SV 切换板，包括 NV1 (AV/TV/SV 的图像，伴音信号的切换)；NV2 (外部 Y/Pr/Pb 的切换)；NV3 (主 R/L 声音效果处理)；NV4 (子音频放大)。(3/9) 上还有声音处理板的 N201 (主声音处理)。(4/9—5/9—6/9) 三张图纸上的电路都在倍频板上，包括 UM06 (子 PiP 处理)；UM03 (主画面视频梳状滤波器与视频处理)；UM01 (倍频处理核心芯片)，UM02/UM09 场存储器，UM05 (UM01) 的外部锁相环路，内设 13.5MHz 或 6.75MHzVCO,用于倍行频；UM08 (倍频处理后的 Y/ (R—Y) / (B—Y) 模拟信号输出级；UM07 (VGA 的 H/V 与倍频后的 Hsq/Vsq 的切换)。(7/9) 是扫描板电路，包括 N401 (场驱动输出级)；N402 (扫描校正补偿)；N403 (高压补偿)；行扫描输出电路，东西枕校输出电路。(8/9) 为主电源与数字会聚功放输出级电路，包括 N801 (开关稳压电源)；NC01/NC02 (水平/垂直会聚输出)；NC03 (高速开关) 以及可控硅保护电路。(9/9) 为分立元件组成的速度调制电路。第 10 页为数字会聚电路专用板，该板上共有 10 块 IC，最核心的是 IC105 和 IC109，

所以 BT4301，从电路上看，最特殊的是倍频板和数字会聚板。

BT4301 的实物 (机芯) 结构如图 (1) 所示。

(2) 应用的 IC

位号	型号	功能	所在板/图纸号
N301	TA1316AN	(倍频后) 扫描显示处理器	主板/ (1/9)
N302	TA1318N	同步处理器，频率计数器	主板/ (1/9)

N303	ST92196A	CPU	主板/ (1/9)
N304	PCF85116	存储器	
N305	TDA8946T	音频功放	主板/ (1/9)
U110		天线分配器	主板/ (1/9)
U101	UV1316T	主高频头	中频板/ (2/9)
U102	UV1316MK3	子高频头	中频板/ (2/9)
N101	TDA9321H	主中频处理与子解码	中频板/ (2/9)
N102	TDA9181	Y/C 分离	中频板/ (2/9)
N103	TDA98801	子中频处理器	中频板/ (2/9)
N104	MSP3415G	FM 解调/NICAM 解调与解码	中频板/ (2/9)
N501	TDA6111Q	绿枪视放	三枪板 (2/9) (CRT 板)
N502	TDA6111Q	红枪视放	
N503	TDA6111Q	兰枪视放	
NV1	TA8851CN	AV/TV (主/子) /SV 切换	背部终端板 (3/9)
NV2	BA7657F	(Y-U-V) 1/ (Y-U-V) 2 切换	
NV4	TDA7052B	子伴音缓冲放大级	
NV5	NJM2700	(主伴音) 声效处理器	
N201	BD3867AS	声音处理器	声音处理板 (3/9)
UM03	VPC3230D	梳状滤波器与主色解码	视增 (倍频) 板 (4/9) (5/9)
UM06	SDA9288X	子画面数码处理	
UM01	NV320P	视频 (新增) 处理器 (即 100HZ 数字处理) (注 5/9 图纸上折成 UM01-A, B, C, D, E, F, 共 208 只脚, 其中; A 为系统接口, B 为系统电源部分, C 为存储器接口, D 为视频输入部分, E 为数字视频显示部分, F 为 DAC (数/模变换) 接口部分)	
UM05	74HC4046	锁相环路	
UM02	GM72V161621E/T	RAM 存储器	
UM09	GM72V161621ET	RAM	
UM08	TA1287F	倍增视频信号缓冲输出	
UM07	74HC4053	(VGA/TV 倍频) 切换	
			(5/9)
			(5/9)
			(6/9)
			(6/9)
N401	LA7846N	场驱动输出	扫描板 (7/9)
N402	TA1317N	TV 的偏转 (校正补偿) 处理	
N403	TA7500P	高压补偿 (相位)	
NC01	STK392-040	水平会聚输出	电源 1/会聚输出板 (8/9)
NC02	STK392-040	垂直会聚输出	
NC03	TC74HC4043AF	高速开关	
N801	STR6709A	开关稳压电源振荡调整	
IC105	CM0021AF	2G 数字会聚校正芯片	数字会聚板 (第 10 页)
IC108	CD0031AM	6 路、16 位数/模转换	
IC109	87LPC764	8bit 单片机	
IC111	ST25E32	存储器	
IC113、、IC117、IC120		缓冲放大	

二、CPU 与 I²C 总线控制关系

(1) I²C 总线控制关系

主控器 N303 设有 3 组总线: (3) 脚 SCLO, (4) SDAO; / (19) 脚 SDA1, (20) 脚 SCL1/(43)SCL2,(44)SDA2。其中 O 组 (SCLO/SDAO) → XS411A 与扫描板 (7/9) XS411B → XS403B 与电源 1/数会输出板 (8/9) XS403A (4) / (5) → XSC05 (10) / (9) → 数字会聚板的 PC106 (9) / (10), IC109。

1 组 (19) / (20) (SCL1/SDA1) ----- → N304 (PCF85116) 存储器 (5) / (6)
→ XS603 (2) / (3) (整机测试用)
→ N301 (TA1316AN) (30) / (31) 显示处理器
→ XS413B (7) / (8) → 扫描板 XS413B → N402 (13) / (14)。
→ XSM02 (18) / (19) → 倍频板 XPM02 (18) / (19)
----- → UM06 (SDA9288X) 21/22
→ UM03 (VPC3230D) 13/14
→ UM01A (NV320) 34/35
2 组 (43)/(44) (SCL2/SDA2) ----- → XS202/XP202 声音处理板 (3/9) ---- → N201 (10) / (11)
→ XS101 (1) / (2) /XP101 中频板 ---- → 主/子高频头 (4) / (5)
→ N104 (MSP3415G) (丽音) 12/13
→ N101 (TDA9321H) (46) / (47)
→ XSV02 (20) / (19) 去 AV/TV 切换板 XPV02 → NV1 (TA8851CN) (27) / (28)

这就是说, I²C 总线主控器是 N303, CPU

受控器有 14 个, 每个受控器的从地址不同。

- | | | |
|---------------------------|-----------------------------------|------------------|
| (1) 视频倍增 (UM01) | (6) 存储器 | (N304) |
| (2) 梳状滤波与主画面解码 (UM03) | (7) 显示处理器 | (N301) |
| (3) 子画面数字处理 (UM06) | (8) 声音处理器 | (N201) |
| (4) AV/TV 主/子/SV 切换 (NV1) | (9) 主高频头 | |
| (5) 主中频处理与子解码 (N101) | (10) 子高频头 | (11) 丽音解码 (N104) |
| (12) 偏转处理 (校正与补偿) N402 | (13) IC109 (87LPC764) CM0S 单片微处理器 | |

(2) BT4301 的 CPU (N303-----ST92196A)

BT4301 背投影的 CPU 为 N303 (ST92196A), 除了 I²C 总线控制前面已作了介绍, 现就其它有关方面介绍如下:

该芯片为 24MHZ 运行, 最小指令周期是 165nS, 内设 32---128K 字节的 ROM, 1---4K 字节, 静态 RAM, 384 字节的 OSDRAM, 有 37 个十分完善的可编程 I/O 接口 (引脚), 有 56 和 64 两种引脚结构, BT4301 应用的是 56 只脚, 时钟控制适用于 OSD (屏显), 数据双向限幅和增强显示控制。

-----可 50/60HZ 和 100/120HZ 运算

-----可 525/625 行运行, 4: 3 或 16: 9 格式

-----可隔行扫描和逐行扫描控制

-----有 8X26 或 9X13 字符矩阵

-----384 (对应 18X26) 字符或 1536 (9X13) 字符可定义在 ROM 中被使用

-----有 512 种可能的颜色, 在 4X16 一行是淡色的

-----有串行、并行和广展并行属性模式

-----有 4 个通道的, I²C 总线可对多个从属单元控制

-----串行通信接口 (SCL)

-----串行外部接口 (SPI)

-----8 路 A/D 变换器, 精度为 6bit

CPU 的 56 只引脚的功能说明

脚号	名称	说明	脚号	名称	说明
1	Y/Pr/PbSW	Y/pr/pb 开关	56	VPP	+5V 供电
2	空	用于脉宽调制 D/A 变换输出	55	TESTO	测试输入（必须连接到 VDD 上）
3	SCLO	I ² C 串行时钟接口（0）	54	空	
4	SDAO	I ² C 串行数据入/出接口（0）	53	空	
5	空		52	空	
6	空		51	RESET	复位非
7	SERVICE	业务用（整机测试 A/D 数据）	50	SYS1	制式控制 1
8	空		49	SYS0	制式控制 0
9	空		48	SUBMUTE	子静音控制
10	空		47	SUBVOL	子音量控制
11	POWER	待机电源开/关控制输出	46	MAINMUTE	主伴音静音控制
12	空		45	RESET	复位
13	SPLRVTER	天线分配器增益控制	44	SDA2	I ² C 总线接口 2 串行数据
14	空		43	SCL2	I ² C 总线接口 2 串行时钟
15	CCVIDEO--M	主画面视频信号输入	42	OSCIN	振荡器输入
16	VDD2	+5V 供电	41	VSS2	地
17	CCVIDEO-S	子画面视频信号输入	40	OSCOU	振荡器输出
18	空		39	LED	电源指示灯控制
19	SDA1	I ² C 总线串行数据接口（1）	38	KEY1	键控信号输入
20	SCL1	I ² C 总线串行时钟接口（1）	37	KEY2	键控信号输入
21	空		36	REMOTE	遥控接收输入
22	WP	写保护	35	HSYNC	视频行同步输入
23	空		34	VSNC	视频场同步输入
24	TSLU	数字视频输出	33	FOSD	字符频率多重滤波输出
25	FB	快速消隐模拟 DAC 输出	32	VDD	+5V 供电
26	B	蓝视频模拟 DAC 输出	31	FCPU	CPU 频率多重滤波输出
27	G	绿视频模拟 DAC 输出	30	VSS1	电源 1 地
28	R	红视频模拟 DAC 输出	29	VDD1	+5V 供电

三、前端处理与流程

（一）、公共通路

（1/9）主板上的天线分配器将输入的电视节目 1/2 功分，以专用电缆线分别接到中频板（2/9）上的主/子高频头 U101/U102，由于两个高频头均为频率合成式，所以必须从 CPU（N303—ST92196A）引入 I²C 总线，如图（2）所示。

+33V 从 XP102（40）引入：由电源 1 的 T802（15）—（12）脚产生感应电势，经 VD832 整流，C831 滤波得 B+（118V）→L824→F803（保险丝）→XS402A7/8→扫描板 XS402B7/8→R470→R463→XS412B①→去主板 XS412A①→VD610（33V 稳压管）→XS102（20）→去中频板的 XP102（40）→分别经 L103/L171 加至。+5V 是从主板 XS413A（14）/（15）；（+7V）→N311（二次稳压得）+5V---XS102（18）（19）→中频板 XP102（38）（39）加

至。源头是 T802 (11) (12) → VD880 整流/C834 滤波 (+7V)。高频头中的选频与调谐，由 CPU 发出的 SDA2/SCL2 数据决定。

(二)、主画面中频处理

来自 U101 (11) 脚的主 IF → C110 → V101E (缓冲)。IF 信号是怎样输入到 N101 (TDA9321H)？(参见图 (3)) 由于制式的不同，由 N101 (19) 脚先输出一个制式选择信号 P/N (P 制为高电平，N 制为低电平)。设接收为 P 制：V (19) 为 H 高电平，该高电平同时加到 V104 和 V102 并使之饱和导通，V104 使 VD104 截止，于是，1F 信号经 R116 → Z101 (1) 脚。V102 饱和导通使 VD103 截止，同时使 V103 截止 → VD102 导通，于是，1F 信号经 R115 导通的 VD102 → Z102 (1) 脚。

若接收为 N 制，V (19) 为 L (低电平)

——→ V104 截止 → VD104 导通，Z101 的 (1)、(10) 脚相连接 → IF 进 Z101 (1) / (10)。
——→ V102 截止 → VD103 导通 → IF 经 R115 进 Z102 (2)。
——→ V103 饱导 → VD102 截止。

在两个声表面滤波器的作用下，Z101 (4) / (5) 脚输出图像中频 (VIF) 直接送到 N101 的 (2) / (3) 脚，Z102 (4) / (5) 脚输出伴音中频 (SIF) 直接送到 N101 (63) / (64) 脚。

在 N101 (TDA9321) 内部完成对主画面信号的中频处理，包括中放，检波，AGC 检波，AFT 提取，视放等，处理后的结果有：

从 (62) 脚输出 RF — AGC — R104，R103 分压，取 VR103 — R101 — 主高频头 (1) 脚，用以控制主高内的高放增益。而 AFT 信号由 I²C 总线读出。从 (5) 脚输出 SIF (二伴) — C126 — C220 — N104 (MSP3415G) (2) 脚。它表明 BT4301 可以接收 FM，也可接收 NICAM 伴音。从 (10) 脚输出视频信号 — 抗扰器 (由 V105，Z103，V107/V106，Z104，V108 等周边元件组成)，其作用是滤去残留的各种第二伴音，进一步防止声对图的干扰，而图像信号则可顺利通过。然后经 C133 从 (12) 脚返回 N101 内部。

N101 (12)、(13) 脚内部接有“群延时电路”，用于多制式中的 B/G，经或不经“群延迟”后的主视频信号，又从 (13) 脚输出。从电原理图中看出，(13) 脚的输出分成两路，其中一路经 V111e (缓冲) → R148 与 R149 分压，然后送到 XP102 (21) → 主板 XS102 (1) → (Main — VIDOUT 主视频输出) → XSV02 (4) → 去 AV/TV 切换板的 XPV02 (4) → RV931、CV93 → NV1 (TA8851CN) (5) 脚 (VT1)，这个信号流程表明主视频信号先送到 NV1 去切换，而不是从 N101 的 (14) 脚返回。图纸上还有另一路经 V110e 缓冲 → R146、R147 分压 → C134 又返回 (14) 脚，可能是多余的。

(三) 子画面的中频处理

子高频头 (11) 脚输出 (子) IF → C177。

图 4

同理，考虑到制式关系，Z110 声表面滤波器的输入状态也受到 V172→VD105 的控制，当接收是 P 制 N101 (22) 脚输出 V22 为“H”（高电平）→V172 饱导→VD105 截止，（子）IF 经 C177 耦合单独从 Z110 (1) 进入，从而通过内部不同幅频特性，然后从 (4) (5) 脚直接耦合到 N103 (TDA9880) 的 (1) (2) 脚，在 N103 中完成中频放大，视频检波，视频放大，AGC 检波，以及伴音检波和检波后的 FM 解调，处理的结果有：(14) 脚输出 RF---AGC，经 R171→子高频头 (1) 脚，控制内部高放增益；从 (8) 脚输出（子）音频经 R194→XP101 (17) 脚（子音）→去主板 XS101 (17) →XSV02 (9) →去 AV/TV 切换板 (3/9) XPV02 (9) 分两路：一路经 RV92、CV92→NV1 (1) 脚；另一路经 RV91、CV91→NV1 (3) 脚。从 (13) 脚输出（子）视频→R196→V173E（缓冲级）→XP101 (20) →去主板 XS101 (20) →XSV02 (6) →去 AV/TV 切换板 XPV02 (6) →RV90→CV90→NV1 (2) 脚，以便在 NV1 内部与 TV（主），AV 切换。当接收是 N 制时，N101 (22) 脚输出低电平（L）→V172 截止→VD105 导通，Z110 (1)、(10) 脚相连接，（子）IF 经 C177 耦合从 N110 (1)、(10) 脚同时进入。

（四）主画面的 SIF (2) 的处理

从 N101 (5) 脚输出的第二伴音信号→C220→N104 (MSP3415G) 的 (2) 脚，它可能是 FM，也可能是 NICAM。N104 既可对 FM 解调，也可对 NICAM 解调与解码，不过要完成解调与解码，第一，供电要正常：(1) 脚模拟电路供电(+5V)，(19) 脚数字电路供电(+5V)，(33) 脚模拟电路供电(+8V)。第二，(5) / (6) 脚外接的 (X201) 为 18.432MHZ，晶体并与 C216、C218 相连接，它与内部电路组成锁相环路，18.432MHZ 振荡频率是 NICAM 取样频率 32KHZ 的 576 倍，并通过锁相环的频率合成来获得 364KHZ 的 NICAM 信号处理电路的时钟信号。第三，I²C 总线接口正常 (12、13) 脚。第四，接地脚要正常：(44) 脚模拟地，(35) 脚模拟地，(20) 脚数字地。第五，(22) 脚电源复位脚正常。这样 (2) 脚输入 FM 的解调（包括 1 识别，2 解码）或 NICAM 第二伴音在内部完成丽音解调与解码，然后进入 DSP 单元（数字信号音频基带处理）完成去加重，数字基带处理，音量，低音，高音控制等。最后经 D/A 变换从 (30) (31) 脚输出。

图 (5)

接主板 XSV02 (14) (15) →XS202 (主板) (1) / (3) →去声音处理板 XP202，以后的处理参见图 (6)

图（6）

（五）在 NV1（TA8851CN）内部的选择切换

由前叙已知，参见图（7）、（8）：

各组输入信号在（26）、（27）脚输入的 I²C 总线信号控制下完成切换。输出子画面信号有：（34）脚是 Y（或 V），（32）是 C，（35）脚是 L，（33）脚是 R。

主画面信号有：（46）脚是 V----RV80----VV02E----插孔（监视）；（44）脚是 Y（或 V），（42）脚是 C，（45）脚是 L，（43）脚是 R。此外还从（31）脚输出 I²C 总线控制的 1bitDA 变换值，作为三维立体声的控制信号到 NV5（NJM2700）（25）脚，从（29）脚输出或输入 1bit 的 DAC 或 ADC 值作为低音控制信号到 NV5 的（26）脚，还从（28）脚输入或输出 1bit 的 DAC 或 ADC 作为左右平衡控制信号到 NV5 的（27）脚。切换机理参见图（8）NV1 内部框图。

（六）主画面的视频信号（V/Y）进 UM03

从 NV1（44）脚输出主画面的 V（Y）→RV111→VV03E→XPV01（14）（“MAIN---Y（V）OUT”）→主板 XSV01（14），分两路：一路经 C611 去 N303（CPU）的（15）脚；另一路→XSM01（9）→倍频板（4/9）XPM01（9）（主 Y）→RM83→CM112→UM03（72）脚。

从 NV1（42）脚输出主画面色度信号（C）→RV112→VV04E→XPV01（15）→主板 XSV01（15）→XSM01（8）→倍频板（4/9）XPM01（8）→RM84→CM111→UM03 的（71）脚。这表明主画面的 V（或 Y/C）是在 UM03 中来解码的。

（七）子画面的视频信号

从 NV1（34）脚输出子画面的 V（Y）→RV112→VV05E→XPV01（17）脚（子—Y（或 V）OUT）→去主板 XSV01（17）脚分两路：一路经 C612→N303（CPU）的（17）脚；另一路→XS102（5）→去中频板 XP102（25）脚→N101 的（20）脚（作为 N101 的外部 Y/CVBS 信号的输入）。

从 NV1（32）脚输出子画面的“C”→RV122→VV06E→XPV01（18）脚（子---C---OUT）→去主板 XSV01（18）→XS102（4）→去中频板 XP102（24）→N101 的（21）脚（作为 N101 的外部 C 信号输入）。

由上述信号流程看出，由于主视从 NV1（44）输出后，一路送 CPU（N303）（15）脚，一路送到视频倍增板（100HZ）的 UM03（72）脚，而子视从 NV1（34）脚输出后，一路送 CPU（N303）（17）脚，一路送到 N101 的（20）脚。可以理解主视的解码在（4/9）UM03 中完成，子视的解码在（2/9）N101 中完成。

还有一点要说明的是，在中频板中有 N102（TDA9181），完成 Y/C 分离，在原理图上看到 N101（13）脚输出的主视要经 V110E，返回 N101（14）脚，N101（20）脚输入子 V

(视频), 在内部由 I²C 总线控制先进行“视切”, 由于“主视”被送到 UM03, 所以切换只接 (20) 脚的输入, 因为其它外部信号引入脚均为空脚。然后从 (26) 脚输出经 C162→N102 (12), 若 N101 (20) 脚输入为“Y”, (21) 脚输入为“C”, 因为输入的信号已经是分离的 Y/C, 所以就不经 N102 处理。这里再次强调, 从以上电路分析看, 中频板上 N101, 其中频处理的是主画面的中频信号, 而视频处理的则是子画面视频信号。

N102Y/C 分离能够现实, 还必须满足 (7) 脚输入沙堡脉冲, (9) 脚输入副载波, (11) / (10) 脚输入 SYS1/SYS2。当供电正常即可从 (14) 脚输出 Y、从 (16) 输出“C”并进入 N101 (28) / (29)。

为了色解码, N101 (54) ----- (57) 脚外接有相应制式的晶体和电容, 以作晶振所用。在 (46) / (47) 脚输入的 I²C 总线控制下完成色解码和行/场同步分离处理。最终: 从 (49) 脚输出 (子) Y, 从 (50) 脚输出 (子) U 分量 (相当于 B-Y), 从 (51) 脚输出 (子) V 分量 (相当于 R-Y), 从 (60) 脚输出 (子) HA, 从 (61) 脚输出 (子) VA。

上述 5 个子画面信号要经排插 XP102 经主板排插 XS102/XSM01 转接到倍频板 XPM01, 再送到 UM06。转接示意图如下:

UM06 (SDA9288X) 是 PIP 处理器, 在内部完成 A/D 变换、压缩, 存储与控制, 再经 D/A 最终从 (9) / (8) / (7) 脚分别输出子画面的 B/G/R, 从 (12) 脚输出快速消隐信号 (FB)。要完成 PIP 的各项功能, 必需有 I²C 总线信号的支持。写地址由子 HS/VS 支持, 读地址由主画面的 HP/VP 支持 (倍频前), 它由 UM03 (57) / (58) 脚送来。此外, 还必须有 (3) / (4) 脚外接的晶体 XM2 (20.48MHZ) 及 CM83/CM82, 当然供电更是必不可少的 ((10) 脚与 (29) 脚)。

(八) 子画面的音频、

从 (3/9) NV1 (33) / (35) 输出 (子) 音频信号→CW52→NV4 (TDA7052B) 的 (2) 脚。NV4 为单级放大电路, 从 (5)、(8) 脚输出-----CW54----RV148----XSV03 (1) / (3) ----XSP03---耳机 (3/9 右下角)。

VV07 为静音控制管, 它由 NV1 (25) 脚输出的静音控制信号控制, 当 U25 为高电平“H” → 静音。

四、视频倍增 (倍频) 电路

100HZ 背投所要解决的问题与一般 CRT 电视机一样，一是把场频 50HZ 扫描提高到 100HZ 扫描，或是把帧频从 25Hz 提高到 50Hz，随之行扫描频率也提高了一倍，二是扫描速度提升一倍后要解决视频的新增问题，如果要更好的地解决，行间闪烁与快速运动的图像边缘效应还可以改隔行扫描为逐行扫描。BT4301 背投影电视机设有一块“视频倍增板”（或称 100HZ 倍频板）原理图为 4/9、5/9、6/9、三张。其中 4/9 页上的 UM06 是 PIP 处理器，严格来说这不属于视频倍增单元电路。信号进出该板依靠 XPM01/XPM02 两个连接排插，其中 XPM01 为信号的引入连接器，XPM02 为处理后的模拟 Y/U/V（已含有新增视频）VS/HS（已倍频）输出和电源+9V/+5V 模拟/+5V 数字及 I²C 总线控制信号输入，电源复位信号的输入从维修角度考虑，故障是否在该板上，通过测这两个连接器就可大致判定。如 XPM01 上输入，信号正常，XPM02 上输入电源及 I²C 总线，复位信号正常，而输出不正常，故障在该板，反之，若 XPM01 的输入信号已不正常或丢失。则故障应在前端处理电路或供电不正常或 I²C、复位有一个不正常，该板即使电路完全正常也是得不到正常的输出的。为此，特以图（9）示意：

图（9）输入 /输出视频倍增板的连接器

（1）视频信号倍增板组成方框图

在了解输入/输出端口以来，我们接着给出图（10），这是 BT4301 中的视频倍增（100HZ）电路板的组成方框图。通过它可概要地了解该板电路的处理过程：其中 UM06 是子画面 PIP 数字处理器，输入的信号是子画面的 Y/U/V 和子画面的 V/H，它们是由中频板上的 N101（TDA9321H）（49）/（50）/（51）脚和（61）/（60）脚输出经 XP102---主板上的 XS102---XSM01---“视增板”上的 XPM01 送到 UM06（28）/（30）/（32）脚和（19）/（20）脚。经 UM06 处理后的结果：从其（7）/（8）/（9）脚输出被压缩的子画面 R/G/B 三基色信号，并从（12）脚输出快速消隐信号（FB）去 UM03 的（1）/（2）脚（3）脚及（29）脚。

UM03（VPC 3230D）是受 I²C 总线控制的主画面视频信号的处理器。处理内容包括梳状滤波器 Y/C 分离，色解码，行/场同步信号分离等。主视频信号是在 N101（TDA9321H）

作中频处理后,从(13)脚输出→V111E 缓冲级→R148,R149 分压→XP102→主板上的 XS102→XSV02→AV/TV 板上的 XPV02→NV1 (5),又经内部选择切换后从 NV1 的(44)脚输出 V(Y)、(42)脚输出(C)→XPV01→主板上的 XSV01→XSM01→视增板上的 XPM01 (9) (8) 端加到 UM03 的(72)脚 V/(或 Y)(71)脚“C”,UM03 从(13)/(14)脚引入/出 I²C 总线 SCL/SDA,其(63)/(62)脚外接 XM3 及 CM129,CM130 用于色解码所需的色副载波。内部设有 A/D 变换器,时钟产生器,自适应梳状滤波器,对比度控制,亮度控制,峰化、存储器控制。

按照 ITV (国际电信联合会),R656 号文件和 TV---R601 号文件,将 Y 的分辩率定为 8bit (7: 0) 和 C 为 8bit(7:0),并从 UM03 的(31) - (34)、(37) - (40)送出 Y (7: 0) 及从(41) -- (44),(47) -- (50)送出 C (7: 0),还从(56)/(57)脚输出(倍频前)行同步信号(HS3)和场同步信号(VS3),它除了要送到 UM01 外,因为 UM06 的子画面读地址需要,所以还同时送到 UM06 的(17)/(18)脚。

Y (7: 00) 和 C (7: 0) -----UM01 的(171) ---- (179)/(189) ---- (196),两个同步信号----UM01 (199) (198),并且从(28)脚输出内部同步时钟发生器产生的“同步时钟”----UM01 (24)脚,用以把数据写入 UM02 或 UM09 所须的写入时钟,UM03 (56)脚输出的 HS3 还被送入 UM05 (14)脚,UM05 是一块内部带有 VCO 的 PLL,从 UM05 (4)脚输出 13.5MHZ 或 6.75MHZ 的行(倍频后)同步时钟,用作从 UM02 或 UM09 中读出数据器读时钟,这个时钟比写时钟提升了一倍被送到 UM01 的(202)脚。

图(11)给出了 UM03 (VPC3230D)内部组成框图,图(12)是 UM06 (SDA9288X)内部组成框图。

(2) 视频倍增数字处理

由 UM06 准备好了子画面的 R/G/B 模拟信号送到 UM03 与 UM03 准备好了主画面的视频信号,Y/C 相迭加,经 A/D 变换后各以 8bit 的数据即 Y (7: 0) 和 C (7: 0),并行送到

UM01 去，同时 UM03 还准备好了主画面的 25HZ 帧频条件下的行/场同步信号。这 5 个信号被送到 UM01 中去作倍频处理。行同步信号除送 UM01（99）脚外，还被送到 UM05 的（14）脚。把原先的行同步信号（HS3）送到 UM05 去的目的是因为 UM05 是 UM01 的外部锁相环路。UM05 是一个具有 VCO 时钟锁相环路，如图（13）所示；其引脚功能表述如下：

脚位	符号	名称与作用	脚位	符号	名称与作用
1	PCPOUT	状态比较器脉冲输出	16	VCC	供电电压
2	PC1OUT	状态比较器输出	15	PC3OUT	状态比较器（3）输出
3	COMPIN	比较器输入	14	SIGIN	信号输入（行同步 HS3）
4	VCOOUT	VCO 输出	13	PC2OUT	状态比较器（2）输出
5	INH	禁止输入	12	R2	接 R2
6	CIA	电容 C1 连接 A（CA）	11	R1	接 R1
7	CIB	电容 C1 连接 B（CB）	10	DEMOU T	解调器输出
8	GND	供电地	9	VCOIN	VCO 输入

图（13）

从图（13）看出，UM05 内部有一个 VCO，三个状态比较器，从（14）脚引入原行同步信号 J(HS3)，它分别加到三个比较器的一个逻辑输入端口，此外还从（3）脚引入“COMP”，比较器的参考信号，从电原理图（5/9）中看出，该信号实用中是从 UM01（203）脚输出的（HRC），这是一个行参考（基准）频率信号，用以给 UM01 外部 PLL 提供模式，（4）脚为 VCO 的输出，即锁相环锁定后的输出，用作行同步新的时钟（13.5MHZ 或 6.75MHZ），它的输出又被送回到 UM01 的（202）脚（LLC），这一个过程实质上是获得了行频提升到 32KHZ，行扫描速度提升就为场内增加新的视频行提供了条件，如果行数不变，就可以为帧内插入场供了条件。

UM01 （24）脚，引入的是 LLC1（LLA）的参考时钟，它来自 UM03（28）脚输出的 13.5MHZ 或 6.75MHZ，用以跟踪 HS。

图（14）给出的是 UM01 的外部引脚图，电原理图（5/9）将其按“功能块”，拆开分别以 UM01A，UM01B，UM01C，UM01D，UM01E，UM01F，分别给出的，所以那是功能

块而不是一块完整的 IC。

UM01 是插入新增视频信号的核心 IC，为了实现这一目的，在其外部配置了两个存储器（即 UM02 和 UM09）。通过内部的存储器接口实现与 UM02 和 UM09 的连接。UM01 的有关引脚及说明如下表所示：

UM01 的 208 只引脚的引脚功能表述如下：

表 1：系统接口

脚 名	形 式	脚 号	说 明
/RESET	输入	204	复位输入（低电平有效）
TEST1	输入	114	测试脚（高电平为正常工作）
/TEST2	输入	116	测试脚（低电平为正常工作）
/TEST3	输入	115	同上
/TEST4	输入	107	同上
SCL	输入	35	串行时钟输入
SDA	输入/出	34	串行数据输入/输出
CSA（1： 0）	输入	119、118	地址控制总线
XTAL1	输入	133	外接晶体输入
XTALO	输出	132	外接晶体输出

表 2：系统电源

脚名	形式	脚号	说明
PVDD（17）	P	3、11、19、31、40、48、61、83、93、104、112、121、130、144、153、162、170	+3.3V 电源供电脚
PVSS（17）	P	7、15、23、36、44、53、79、89、98、108、117、126、139、148、157、166、207	电源接地脚
VDD（4）	P	28、85、131、182	电源供电脚
VSS（4）	P	25、78、134、177	接地脚

表 3：存储器接口

脚名	形式	脚号	说明
CLK	输出	22	存储器时钟输出
A[10： 0]	输出	127、26、125、29、30、32、33、120、122、123、124	
DQ[32:0]	输入/输出		

/CS	输出	128	存储器片选信号输出
/RAS	输出	129	存储器行地址
/CAS	输出	135	存储器列地址
/WE	输出	136	存储器，写允许输出
DQM[1: 0]	输出	137、21	存储器 D/Q 使能信号输出

表 4、视频输入

脚 名	形 式	脚 号	说 明
LLC	输入	202	锁相环时钟 (27MHz) 或者是获得 PLL 参考时钟 (13.5Hz 或 6.75Hz)
CREF	输入	201	参考时钟输入，用于锁相模式，以求得到准确数据。
HREF	输入	200	行参考输入信号，用于锁相模式
VS	输入	198	场同步信号输入 (本板处理前的 VS)
HS/CLP	输入	199	行同步信号或钳位脉冲输入
ODD	输入	197	单稳触发脉冲输入，高电平为扫描正程
Y (7: 0)	输入	179、178、176、175、174、173、172、171	输入 Y 数据 8 ^{bit}
U (7: 0)	输入	188、187、186、185、184、183、181、180	输入 U 分量数据 8 ^{bit} (按 4: 4: 4 格式)
V (7: 0)	输入	196、195、194、193、192、191、190、189	输入 V 分量 V (7: 0) 数据，UV 数据锁定按 4: 2: 2/4: 1: 1 格式
/TEST5	输入	159	测试脚，低电平有效
TEST6	入/出	164	测试脚
TEST7	入/出	165	测试脚
TEST8	入/出	163	测试脚
LLA	输入	24	参考时钟 (13.5MHz 或 6.75MHz) 用以跟踪 H _S 信号
HRA	输出	27	外部锁相环反馈信号
CLKO	输出	169	时钟输出 13.5MHz 给外部 ADC
CLPO	输出	167	钳位控制信号输出
HREFO	输出	168	行参考信号输出
HRC	输出	203	行参考输出,反馈给外部 PLL 用以获得模式
PLLFS	输入	113	外部 PLL 输入

表 5: 锁相环电源

脚 名	形 式	脚 号	说 明
PIVDD	P	102	PLL ₁ 的+3.3V 模拟供电

P2VDD	P	206	PLL ₂ 的+3.3V 模拟供电
P3VDD	P	160	PLL ₃ 的+3.3V 模拟供电
P1GND	P	101	PLL ₁ 的模拟接地
P2GND	P	205	PLL ₂ 的模拟接地
P3GND	P	161	PLL ₃ 的模拟接地

表 6：数字视频显示

脚 名	形 式	脚 号	说 明
P60	输入	110	选择 PAL 模式，当输入是 PAL 制，这个脚就选择 60Hz，恢复频率。
PCLK	输出	37	像素时钟输出
YQ (9: 0)	输出	45、46、47、49、52、59、60、66、67、72	YQ10 ^{bit} 数据或 GQ10 ^{bit} 数据输出
UQ (9: 0)	输出	73、80、81、82、84、86、37、88、90、91	数据 UQ (9: 0) 或 BQ (9: 0) 输出
VQ (9: 0)	输出	92、94、95、96、97、99、100、103、105、106	数据 VQ (9: 0) 或 RQ (9: 0) 输出
OEQ	输入	111	YQ、UQ 或 VQ 使能输出
VSQ	输出	41	场同步输出
VBQ	输出	42	场消隐输出
HSQ	输出	38	行同步输出
HBQ	输出	39	行消隐输出
DVQ	输出	109	数据有效输出

表 7：DAC D/A 变换器接口

脚 名	形 式	脚 号	说 明
YA	输出	56	模拟信号 Y 或 G 输出
UA	输出	63	模拟信号— (B—Y) 或 B 输出
VA	输出	69	模拟信号— (R—Y) 或 R 输出
COMP	输入/输出	68	补偿引脚，外接一个 0.01 μ F 的陶瓷滤波器 (CM32) 和一个 10 μ F 的 (CM63) 电容，然后连接到 V _{33B} (+3.3V) 上。
VREFIN	输入	76	参考电压输入，该脚另接一个 CM3.7V 电容到地
VREFOUT	输出	74	波段参考电压输出，(输出 1.3V 的直流参考电压)
RADJ	输入/输出	43	可调电阻，外接 RM58 用来控制视频信号的大小。
AVDD	P	77	模拟供电 3.3V
YVDD	P	57	同上，供给 Y/G 通道
UVDD	P	64	模拟供电 3.3V，供给— (B—Y) 或 B 通道
VVDD	P	70	模拟供电 3.3V，供给— (R—Y) 或 R 通道
AGND	P	75	模拟地
YGND	P	58	Y 或 G 的模拟地
UGND	P	65	— (B—Y) 或 B 的模拟地
VGND	P	71	— (R—Y) 或 R 的模拟地
ADVDD	P	51	数字电压供给 D/A 变换器 3.3V
ADGND	P	50	数字地

UM01 与 UM02、UM09 存储器的写读，所需读写时钟均从 (22) 脚输出，但时钟值

是不同的，写时钟，为 15625Hz ，读时钟是 $2 \times 15625 = 31.25\text{KHz}$ 。UM01 先由片选信号选定 UM02 或是 UM09。

由于 UM01 为 I^2C 总线控制，所以还从 (34) 脚引入（或输出）串行数据，从 (35) 脚引入串行时钟，而 132 与 133 脚外接有 XM1 (10MHz) 的晶体/RM11，再分别接 CM60、CM61 到地。当相应引脚接入供电电源 (PVDD) 3.3V 后，该板就能实现，画质增强、倍频。

(3) 视频增强的基本原理

而欲提高画质，基本的出路有二：一是提高扫描频率；二是改隔行扫描方式为逐行扫描方式，不论哪种都必须新增视频信号，在处理图像视频信号时又有三种不同的处理方法可供选择，

第一种是帧内场插入法，即将原一帧两场变成一帧为四场，至于这新增的两场如何得到？基本上采用三种方法：一是场重读法产生新增场信号；二是采用垂直内插法产生新增场信号，如图 (14) (15) 所示，三是帧重读法（如图 16）。

上述两种方法的共同特点是扫一场的时间由原来的 20ms (50Hz) 提高到 10ms (100Hz)，由于扫一场的时间缩短了，要求扫一行的时间也同步加快，故此时的场频为 100Hz ，行频为 31250Hz ，但扫一帧的时间仍为 40ms ，故帧频未变仍为 25Hz 。且扫描方式仍为隔行扫描，这种方式，在一帧图像中增加了场数，但每一场仍为 312.5 行，行数没增加，可消除大面积闪烁，但不能消除行间闪烁。

图 (14) 的帧结构或场显示先后次序为 A_1A_1 （重读） B_1B_1 （重读） A_2A_2 （重读） B_2B_2 （重读）……

图 (15) 的帧结构或场显示的先后次序为 $A_1A_1^*$ （ A_1 场相邻两行求和平均——垂直内插） B_1^* （ B_1 场相邻两行求和平均——垂直内插） B_1 、 A_2 、 A_2^* 、 B_2^* 、 B_2 、……。同样是一帧由原来的两场增至四场，每场行数的为 312.5 行未变。推广来看还可组成“帧重读”法。

第二种方法是场内插行法，即将原一帧两场场数不变（仍为两场），但在每场中插入行，即在一场内，通过把行扫描频率（速度）提高一倍（倍行频）来插入新增行的数字信号处理方法，也就是以 $64\mu\text{s}$ 把一行数字视频信号写入存储器，而用 $32\mu\text{s}$ 把这一行数字视频信号从存储器中读出来，节余的 $32\mu\text{s}$ 用以插入新增行，根据新增行插入方式的不同，工程上也有两种方法，一种是对隔行扫描只有 312.5 行视频数据的奇/偶场，例如奇数场的行序有 1、

3、5...，偶数场的行序有 2、4、6...，其公共表示式为 n 、 $n+2$...，在以倍行频（ 31250Hz ）从行存储器快速读出第 n 行，并利用节余出的 $32\mu\text{s}$ ，在第 n 行与第 $n+2$ 行之间插入新增行第 $n+1$ 行，其插入行的视频数据为第 n 行的数据。

第二种方法，仅是新插入行的视频数据为本场相邻两行数据的平均值，即法一的行序：

奇数场为 $H_1 (H_2) H_3 (H_4) H_5 (H_6) H_7 \dots\dots$
 $\uparrow \quad \quad \uparrow \quad \quad \uparrow$
 新插入行，其视频数据同所插行的前一行。
 偶数场为 $H_2 (H_3) H_4 (H_5) H_6 (H_7) \dots\dots$
 $\uparrow \quad \quad \uparrow \quad \quad \uparrow$
 新插入行，其视频数据同所插行的前一行。

法二的行序：

奇数场为 $H_1 (H_1+H_3)/2, H_3 (H_3+H_5)/2, H_5 (H_5+H_7)/2, H_7 \dots\dots$
 偶数场为 $H_2 (H_2+H_4)/2, H_4 (H_4+H_6)/2, H_6 (H_6+H_8)/2, H_8 \dots\dots$

这种方式的特点是与原始模式相比行频 $f_{\text{HD}}=31.25\text{KHz}$ ， $f_{\text{VD}}=50\text{Hz}$ （不变） $f_{\text{帧}}=50\text{Hz}$ （相当于扫了原始模式的两帧）。由于帧频提高了一倍（ $25\text{Hz} \longrightarrow 50\text{Hz}$ ），又由于插入新行，因此，行间闪烁与大面积闪烁现象都获得较满意的克服。

第三种方法为运动补偿法，即第一种和第二种内插法中的垂直内插法，只不过两者区别是前者垂直内插得新场，后者垂直内插得新行。

至于扫描方式，它取决于读出的方式，因为现在奇、偶场都各插入 312.5 行，每场总共有 625 行，如果每场读取是顺序的读出 625 行，且帧频为 50Hz ，这便是逐行扫描。这种方式，硬件电路上必须有两个场存储器。BT4301 的 UM01、UM02、与 UM09、UM05 就是为实现这一方式而设计的，根据 UM01 的资料说明：

- 这是一块高度集成并伴有 D/A 变换的视频处理器。
- 多视频输入数据格式为 $16^{\text{bit}}\text{YUX}$ （4：2：2 或 4：1：1）
- 多视频输入模式：数据采样模式，行（同步）锁定模式。
- 帧频提高到 50Hz —— 60Hz
- 芯片中有存储器控制（模块与接口）
- NTSC/PAL 到 SDTV 480P 格式转换（P 指逐行）
- 先进的非线性视频处理：包括自适应运动降噪处理；运动补偿；峰化；非线性内插（视频）
- 色度信号转换（ C_B/C_R ）
- 三路 D/A 变换器
- 输出选择 YUV 或 RGB

可见 UM01 采用的是场内插行的方法，帧频提升到 50Hz —— 60Hz ，UM01 的第 128 脚输出的片选信号，用以分别写入奇、偶数据到 UM02 或 UM09 存储器，然后从 129、135 脚输出行/列地址选通脉冲和从 36 脚输出“写允许”的控制信号，写入时钟从 22 脚输出，还要从 26、29、30、32、33、120、122、125、127 并行输出存储器地址，这样，UM01 就可将输入的 Y（7：0）的 C（7：0）各 8bit 存入 UM01 或 UM09，数据的输入与输出是双向的，是 I/O 端口，一帧两场（奇/偶场）就被分别写入 UM02 与 UM09 中。

从 UM02 与 UM09 中读出数据，需要存储器读出时钟也是从 22 脚输出，只是读出时钟是写入时钟的 2 倍。场内插行的实用方法由软件编程执行。

图像视频数据“C”经 UM01 内部的色转换变成 C_b 、 C_r 然后与 Y 一起分别经三路 D/A 变换而成为模拟信号。

（4）输出电路

图(17) 出 VPC3230D 处理板

图 18 给出了 UM08 (TA1287PF) 的内部组成方框图, 从图中看出该 IC 的作用: 一是放大输入信号, 二是切换输入信号。输入信号为 TV 的 T/U/V 和 VGA 的 R/G/B, 对 VGA 的 R/G/B 先经矩阵变换, 即把 R/G/B 变为 VGA 的 Y/U/V 或 Y/I/Q。切换的控制信号由 (9)、(10)、(11) 脚输入的“PC/TV”脉冲确定, 当输入为“1”时, 内部选择 VGA; 当输入为“0”时, 内部选择 TV。它来自 UM06 (23) 脚的输出。

图(18)

五、后端信号处理

(一) 视频信号在 N301 中的处理

信号来自 XPM02 接主板上的 XSM02, 对倍帧频处理后的 $Y/(R-Y)/(B-Y)$ 以及 HDQ、VDQ 信号的显示处理。

这是经倍行/倍帧频和插入新增视频后的 5 个信号。而 N301 (TA1316AN) 是一块扫描显示视频处理器。TA1316AN 在康佳的 P2901 已采用过, 用它作为具有新插入的视频信号处理器, 行扫描小信号产生电路。TD1316AN 内部电路按功能分有 4 个模块, 即亮度信号模块, 色差信号模块, 偏转(同步/扫描)模块和文本模块, 每个模块都设有高性能的信号处理功能(参见《维修通讯(30)》P7, 其引脚功能可参阅 P8)。其信号处理过程可参见电原理图(1/9)。

由视频板送来的视频信号 $Y/P_b/P_r$ 经 XSM02 的 3、4、5、分别经 C307、C308、C309 送到 N301 (TA1316N) 的 8、9、10 脚(注该信号可能是经视增作用的主画面的 $Y/B-Y/R-Y$ 。也可能是 VGA 的 R、G、B 经 VGA 接口(3/9)→XPV01 的 9、10、11→主板 XSV01 的 9、10、11→XSM01 的 11、12、13 到视增板上的 XPM01 的 11、12、13→UM08 (TA1287F) 的 6、7、8 脚, 再经内部矩阵电路使之变成 VGA 的 $Y/(R-Y)/(B-Y)$, 再经内部选择切换输出的 VGA 的视频信号。还有从 XSV08、XSV09 (3/9 页图纸左上角) 引入的 $Y1/U1/V1$ 和 $Y2/U2/V2$ 到 NV2 (BA7657F) 在其 16 脚输入的来自 CPU (1) 脚输出的开关控制信号作用下完成选择并从 21、19、15 脚分别输出 $Y/U/V$ →XPV01 的 1、2、3→XSV01 的 1、2、3→

→XSM01 的 18、19、20→XPM01 的 18、19、20→UM03 的 5、4、6 脚。

→ $V_{303e}/V_{302e}/V_{301e}$ →N301 的 3、4、5 脚。

N301 内部首先对两路视频信号进行选择切换(由 I²C 总线控制)然后分别在 N301 内部

的亮度模块，色差模块偏转模块中分别进行处理，参见图（19）。

在亮度模块中，包括：黑电平延伸，黑电平校正，动态（ δ ）校正，直流恢复，清晰度/延迟线，亮度瞬态增强电路（SRT），群延迟校正，自动白平衡控制，副对比度控制，白峰值限幅，白脉冲限制，亮度控制，自动亮/色放大，高亮度彩色，半色调静噪等处理，处理后的亮度（Y）送到 RGB 矩阵。

在色差模块中，包括：U/V 分量 $\rightarrow$ I/Q 分量的变换，IQ $\rightarrow$ UV 变换 $\rightarrow$ 开关选择 1 或 2，Y/C 电平补偿，色调调整，瞬间彩色校正，相对相位及枕幅校正，G $\rightarrow$ Y 形成，白峰兰校正，得到 R $\rightarrow$ Y/G $\rightarrow$ Y/B $\rightarrow$ Y 色差后送 RGB 矩阵。

通过 RGB 矩阵得到三基色，然后送矩阵开关/兰屏控制，以便与 35、34、33 输入的来自数字会聚板输出的会聚（模拟）R、G、B，它先 XSC05（8/9 图纸）1、2、3 $\rightarrow$ XS404A1、2、3 $\rightarrow$ 扫描板 XS404B1、2、3 $\rightarrow$ XS411B1、2、3 $\rightarrow$ 主板（1/9）XS411A1、2、3 $\rightarrow$ VD₆₁₅/VD₆₁₆/VD₆₁₇ $\rightarrow$ R₃₃₄/R₃₃₅/R₃₃₆ $\rightarrow$ C₃₃₄/C₃₃₃/C₃₃₂ $\rightarrow$

进 N301 的 35、34、33 相切换，同时也可能与 39、38、37 脚输入的，来自 CPU 的 28、27、26 脚输出的屏显 R、G、B，经内部 OSD 放大后 $\rightarrow$ 箝位 $\rightarrow$ OSD 开关 $\rightarrow$ 矩阵开关。与会聚 RGB 切换的控制信号，引自 49 脚的输入（Y_s），它来自数字会聚板在 XS404A4 脚的输出，或来自 CPU₅脚的输出；与屏显 RGB 的切换控制信号是 50、51 脚输入的 Y_{s2}/Y_{s1}，它来自 CPU₂₅脚的输出（FB）。

被选择的 R、G、B、在内部经驱动级放大 $\rightarrow$ 箝位 $\rightarrow$ RGB 输出级再放大，最终从 N301（TA1316AN）的 43、42、41 脚输出 R、G、B 三基色，它们分别经：

图（19）TA1316N 内部电路组成框图

（二） N301 中 HSD/VSD 的同步（偏移）处理

从 XPM02 $\rightarrow$ XSM02（7）/（8）引入的倍行（31.25KHz）、场频（50Hz）（注：倍帧频（50Hz））送到 N301（12）、（13）脚，除此之外，还有从 14 脚引入的来自 XSV01 的 1 脚的 COMP $\rightarrow$ （Y） $\rightarrow$ R₃₈₅ $\rightarrow$ V₃₀₃ $\rightarrow$ V_{304e} $\rightarrow$ C₃₁₁的同步信号，还有从 15、16 脚引入的来自 N302（TA1318N）22/13 脚输出的 HD1/VD1 行/场同步信号。于是有：

N301 内部的偏转模块可以处理行同步与偏转（扫描），根据信号的不同可以适应行频为 15.75KHz/31.5KHz/33.75KHz/45KHz（这些不同的行频来自于 N302（TA1318N）的输出或 UM07 的输出）。可以处理场同步与偏转（扫描），根据信号的不同，能适应一帧 525 行的 I/P（隔行扫描/逐行扫描）；625 行的隔行；750 行的逐行；1125 行的隔行/逐行；PAL100Hz；NTSC120Hz。参阅图（19），N301 可以接收 2 电平和 3 电平同步信号，也可接收正极性和负极性的行同步信号和场同步信号。最终从 26 脚输出行扫描驱动脉冲信号；从 27 脚输出场扫描锯齿波信号。即：

（三）N302（TA1318N）的作用

前面已经提到 N301 的 15、16 脚输入的场同步信号 VD_1 /行同步信号 HD_1 是来自 N302 的 22、13 脚的输出。这是什么行/场同步信号？从原 IC 资料看，这是一块受 I^2C 总线控制的作为 TV 复合同步信号的处理器。其内部设有：

- 行同步电路（15.75KHz/31.5KHz/33.75KHz/45KHz）
- 场同步电路（525I/525P/625I/750P/1125I/1125P/PAL100Hz/NTSC120Hz）
- 行频和场频计数器
- 行 VCD 锁相环路
- 能接收 2 电平和 3 电平同步信号
- 可接收正/负极性的行/场同步信号
- 有箝位脉冲输出（12 脚）
- HD/VD 输出（极性倒置）（13 或 15 脚）/（22 或 23 脚）
- 同步分离输出（从实际的 BT4301 电原理看到，受同步分离输出的信号不包括从 1、2 脚和 3、4 脚输入的 HD_2 、 VD_2 / HD_1 、 VD_1 （3、4 脚为空脚，未引入行/场信号），而 1、2 与输送到 N301 的 12、13 脚为同一行/场信号，它们来自 XSM02 的 7、8 脚，即来自 UM07 的 15、14 脚的输出，这对信号或者是倍频后的 HsQ、VSD 或者是 PC 机（计算机）的 VGA——HS/VS。（参看图 20）

图（19）N302（TA1318N）内部电路框

由图(20)可以看出,从 21 脚输入的,来自 XSV01(1)的“COMP—Y”由 NV₂(BA7657F)切换的外部 Y₁/Y₂经 V_{303e}缓冲→V_{304e}缓冲→C₃₉₁,进入 21 脚→内部同步分离电路分离出行同步信号→行输入开关→行极性→行鉴频器→,与行 VCD 产生的行振荡频率作比较,输出误差电压(ΔV)→调整 VC0,直到频率一致锁定,然后从 15 或 13 脚输出处理后的行同步信号→再送到 N301 的 16 脚。还有一种可能是从 11 脚引入的行(3),这实际上是 VGA(PC 机)的行同步信号(它同时并行经 XSM01 的 15 脚送到 UM07 去切换),它从 11 脚输入后分两路,其中一路→行输入开关→行极性→行 AFC→与行 VCD 产生的振荡→行 C/D 作比较,直到同步一致锁定,从 13 脚或 15 脚输出。

如果行是被同步的,则场也是被同步输出,因为场的输出是被锁定的行频→行斜率校正→2f_H→场 C/D→VD₁开关/VD₂开关输出。

